

Серия отладочных плат LDM-ACEX1Kxx-T144 представляет собой печатную плату размером 114x86x12 мм и макетным полем 86x52 мм (шаг отверстий 2.54 мм) с установленной на ней микросхемой ПЛИС DD1 фирмы Altera семейства ACEX 1K FPGA в корпусе TQFP-144. Для удобства проектирования плата под микросхемой DD1 разведена так, чтобы было удобно производить пайку проводным монтажом (ножки ввода/вывода имеют соответствующие площадки, отведенные от корпуса DD1, обозначения номеров выводов указаны на рис. 6). Плата снабжена разъемом XS2 (IDC-10MS) для подключения загрузочных кабелей LDM-USB-Blaster, LDM-PB 2.01 ByteBlasterMV или их аналогов (в режиме PS-MODE). Питание платы осуществляется от внешнего стабилизированного источника с напряжением +9...12 В, который подключается к разъему XS1. Светодиод VD2 является индикатором наличия питания.

ALTERA

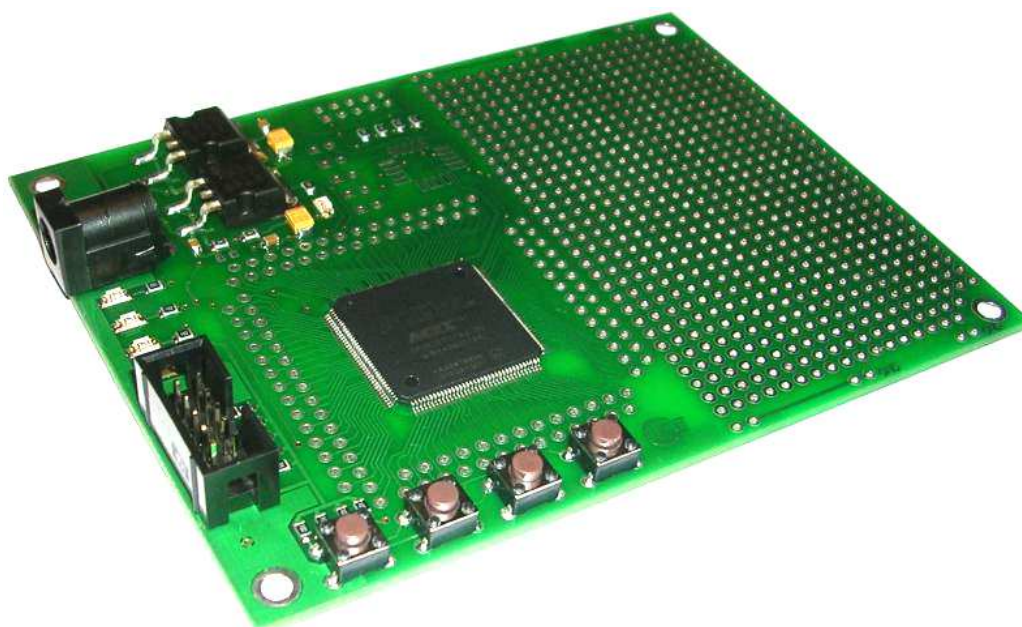


Рис. 1. Общий вид отладочной платы

Линейные преобразователи напряжения DA1 и DA2 (LM317D2P) в корпусе D2PAK преобразуют напряжение источника питания в напряжение $VCCINT = 2.5\text{ В}$ и $VCCIO = 3.3\text{ В}$.

Таблица 1

Основные характеристики отладочных плат

Версия платы	Тип ПЛИС	Напряжение питания ПЛИС, В	Кол-во ножек ввода/вывода	Логическая емкость логических ячеек
LDM-ACEX1K10-T144	EP1K10TC144	2.5	92	10 000
LDM-ACEX1K30-T144	EP1K30TC144	2.5	102	30 000
LDM-ACEX1K50-T144	EP1K50TC144	2.5	102	50 000

На плате предусмотрены монтажные площадки под установку конфигурационной микросхемы DD2 (EPC2LC20) в корпусе PLCC-20. Разъем XS3 (IDC-10MS) предназначен для подключения загрузочного кабеля LDM-PB 2.01 ByteBlasterMV (в режиме JTAG) и осуществления загрузки данных конфигураций. В режиме программирования DD2 джемпера JP1-JP5 должны быть разомкнуты.

Отладочная плата предназначена для макетирования устройств, проектируемых на ПЛИС фирмы Altera семейства ACEX 1K, а также сборки законченных устройств путем монтажа необходимых компонентов на макетном поле платы. Использование LDM-ACEX1Kxx-T144 позволяет максимально сократить время внедрения продукта пользователя на рынок.

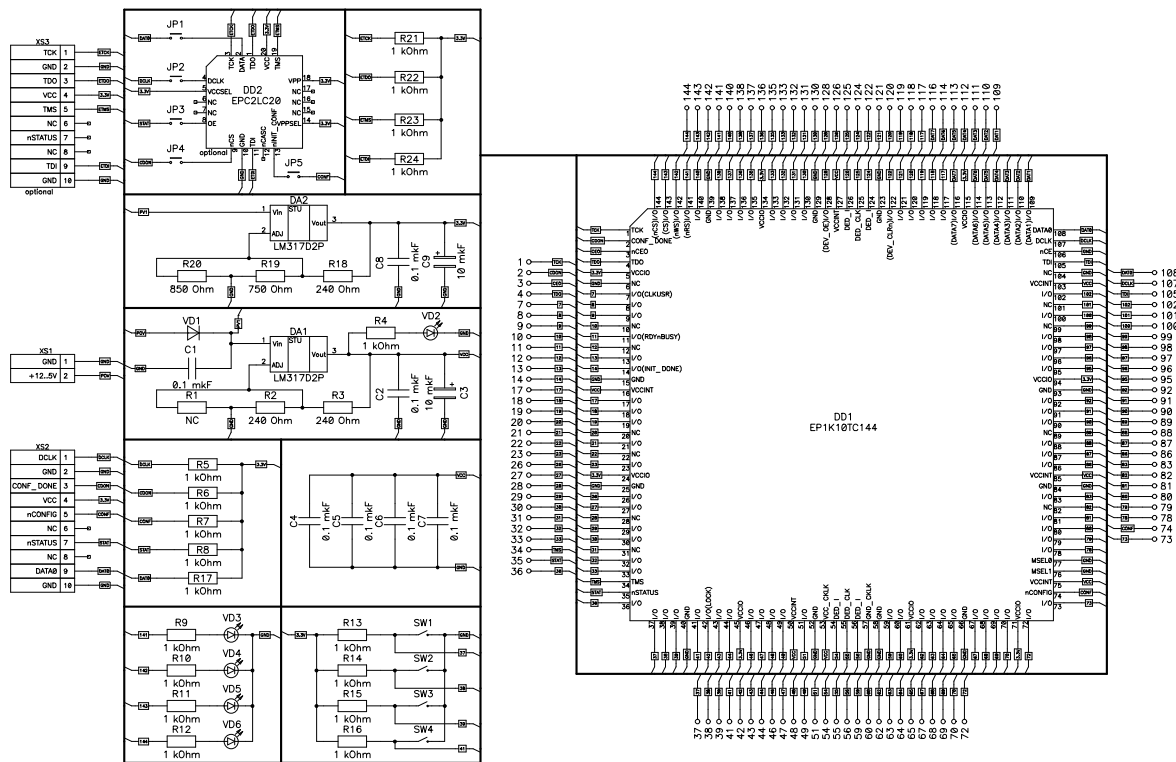


Рис. 2. Схема электрическая принципиальная LDM-ACEX1K10-T144

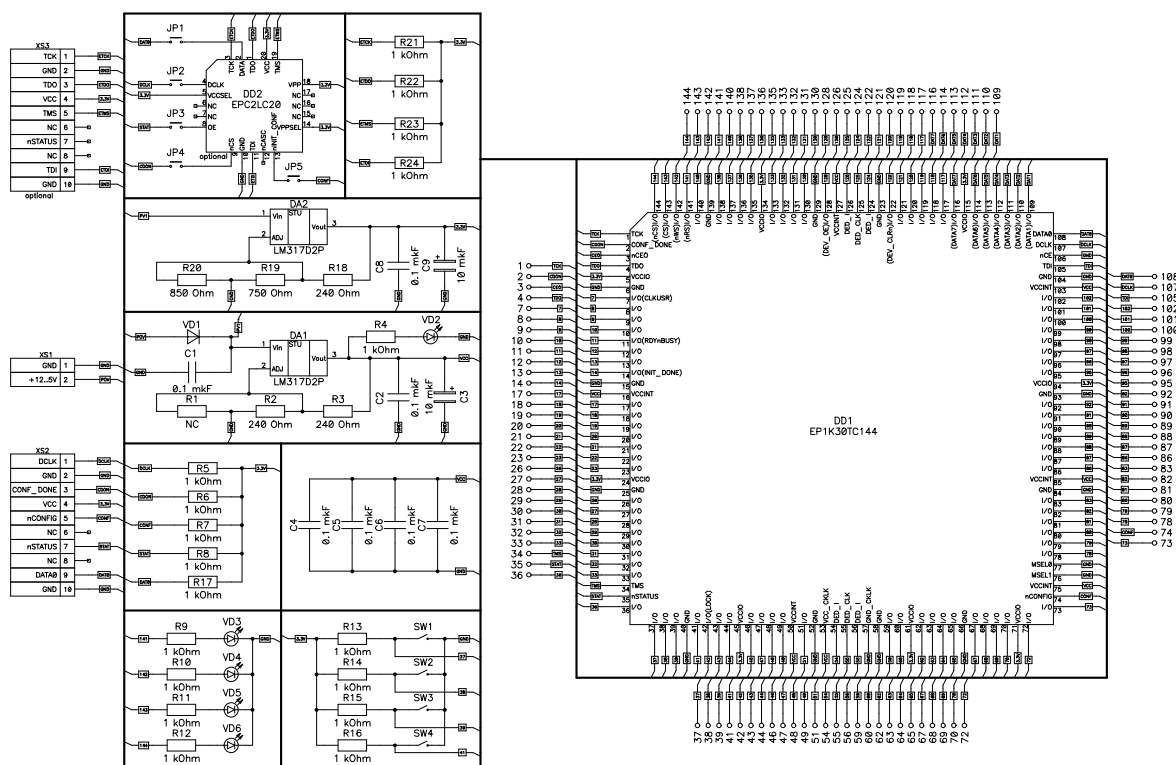


Рис. 3. Схема электрическая принципиальная LDM-ACEX1K30-T144

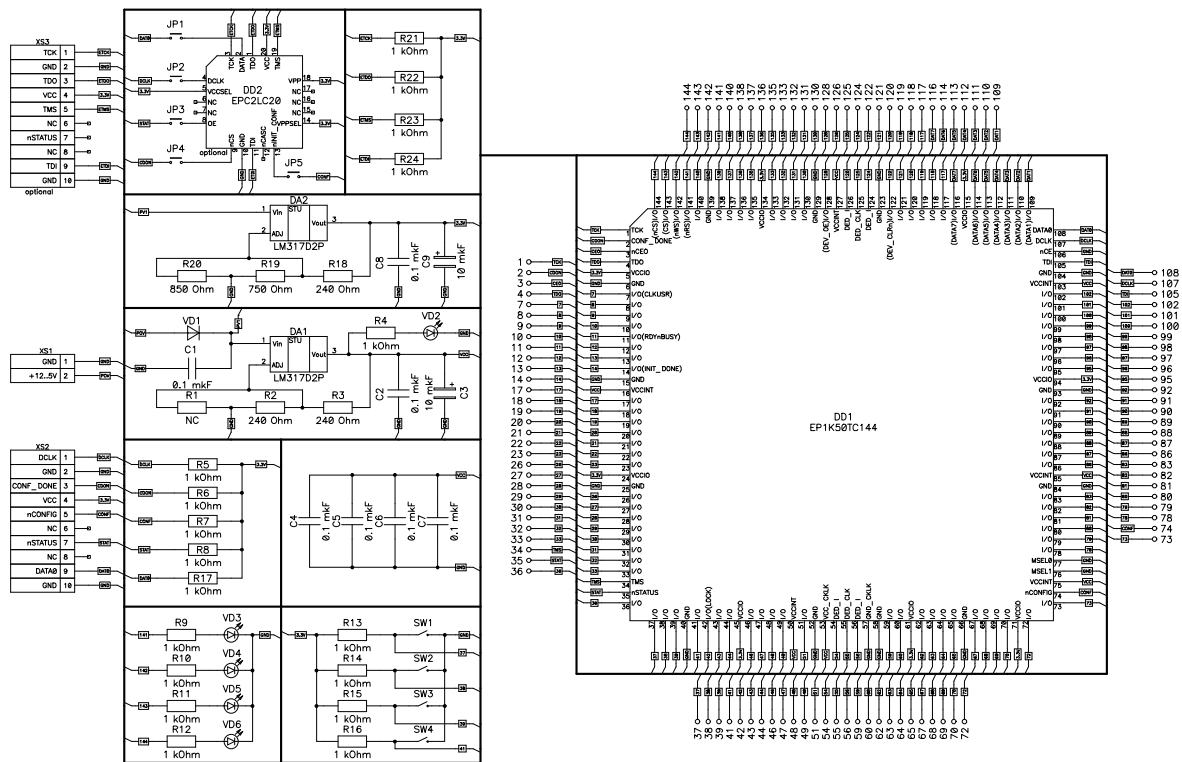


Рис. 4. Схема электрическая принципиальная LDM-ACEX1K50-T144

На плате расположены четыре светодиода VD3-VD6 и четыре кнопки SW1-SW4, которые подключены к выводам ПЛИС. Они предназначены для упрощения проектирования и могут пригодиться при тестировании проекта.

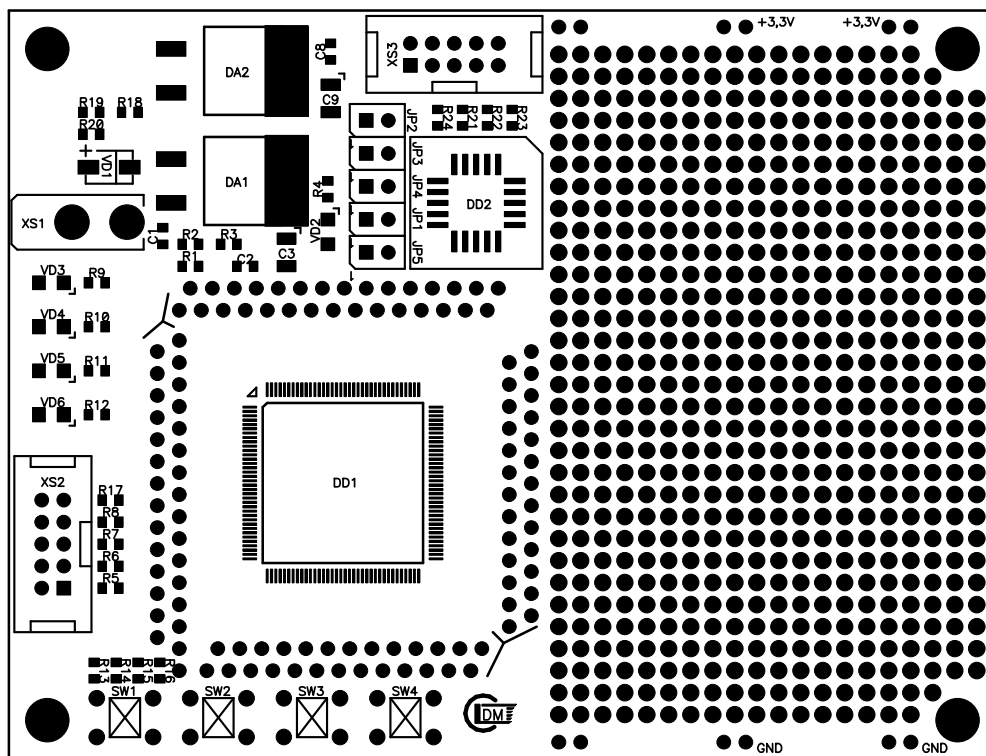


Рис. 5. Внешний вид печатной платы

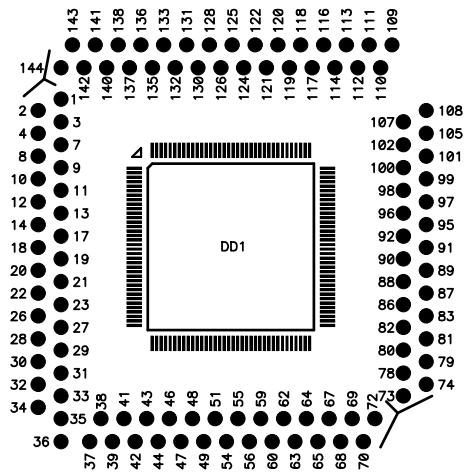


Рис. 6. Обозначение монтажных площадок

Комплектация:

- отладочная плата;
- описание к отладочной плате;
- примеры проектов для Quartus II Web Edition Software;
- описание к семейству ПЛИС Altera.